**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ ХАБАРОВСОГО КРАЯ**

**Краевое государственное автономное**

**профессиональное образовательное учреждение**

**«Губернаторский авиастроительный колледж**

**г. Комсомольска – на - Амуре (Межрегиональный центр компетенций)»**

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ**

для практических работ

**по МДК 01.01 «Цифровая схемотехника»**

для специальности

**09.02.01 «Компьютерные системы и комплексы**

для студентов заочного отделения

**Практическая работа №6**

Комсомольск – на – Амуре, 2019

**Практическая работа №6**

**Тема работы:** Моделирование и исследование логики работы триггеров и регистров.

**Цель работы**: ознакомление с принципом работы триггеров и регистров, получение практических навыков в построении и контроле работоспособности триггеров и регистров, а также исследование логики работы триггеров и регистров в различных режимах методом моделирования с использованием программы Electronics Workbench.

**Теоретическая часть**

**Общие сведения об элементах памяти бортовых цифровых вычислительных устройств**

Для построения цифровых устройств кроме логических элементов требуются элементы памяти, предназначенные для хранения двоичных кодов в течение требуемого времени.

**&**

**&**

**≥1**

**≥1**

Рисунок 1

В качестве статического элемента памяти используются бистабильные ячейки (БЯ), имеющие два устойчивых состояния. Бистабильные ячейки могут быть построены на двух логических элементах И-НЕ или ИЛИ-НЕ, соединенных перекрёстными связями (см. рисунок 1).

Схема

управления

Элемент

памяти

Q

X

**…**

Q

C

Рисунок 2

В качестве элементов памяти используются так называемые триггеры. Триггер - это цифровая электронная схема с двумя устойчивыми состояниями, которые устанавливаются при подаче соответствующей комбинации входных сигналов и сохраняются после снятия этих сигналов. Структурная схема триггера показана на рисунке 2. Триггер имеет несколько входов и два выхода - прямой и инверсный . Сигналы на выходах триггера всегда имеют различные значения. Если на прямом выходе сигнал равен 1, то на инверсном - 0 и наоборот. Состояние триггера определяется значением сигнала на прямом выходе (Q). Если сигнал на прямом выходе равен 1, то триггер находится в состоянии 1.

(Q и Q)

Триггеры могут быть синхронными или асинхронными. Если изменения сигнала Q происходит только при наличии специального сигнала С, являющегося сигналом синхронизации, то такой триггер называется синхронным триггером. Синхронизация триггера может происходить либо по уровню сигнала, либо по фронту сигнала (переднему или заднему).

Асинхронный триггер не имеет входа синхронизации, поэтому переключение триггера происходит только при поступлении на вход информационных входных сигналов X.

Логика переключения триггера из одного состояния в другое зависит от количества и назначения входов. Наиболее часто используются в цифровой технике следующие типы триггеров: RS-триггеры, JK-триггеры, D-триггеры и T-триггеры. Буквами R, S, J, K, D и T обозначаются информационные входы триггеров (Х).

**Асинхронные и синхронные триггеры разных типов**

**Асинхронные RS-триггеры**

Асинхронный RS-триггер имеет два информационных входа - R и S. Вход S используется для установки триггера в состояние 1, а вход R - для установки в состояние 0.

Работа триггера описывается таблицей переходов, которая имеет вид таблицы 1.

Таблица 1

|  |  |  |  |
| --- | --- | --- | --- |
| Входы | | Состояния | |
| **R** | **S** | **Q(0)** | **Q(1)** |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 1 | Не определено | |

Из таблицы 1 может быть получено уравнение переходов триггера. После минимизации (например, с использованием карт Карно) уравнение переходов примет вид:

Qt+1=S+R ⋅Qt

**&**

**&**

**≥1**

1

≥**1**

2

R

S

Q

Q

R

S

Q

Q

Рисунок 3

S **Т**

R

S **Т**

R

Q

Q

Q

**Q**

Из уравнения следует, что при S=1, R=0 всегда Qt+1=1, при S=0, R=1 всегда Qt+1=0, а при S=0, R=0 Qt+1=Qt. Комбинация сигналов S=1, R=1 является запрещенной, так состояние триггера не определено.

Для построения триггера на элементах И-НЕ уравнение необходимо преобразовать (двойным инвертированием) к другому виду:

Qt+1=S⋅ R ⋅Qt

Для построения триггера на элементах ИЛИ-НЕ уравнение имеет вид:

Qt+1=S+R +Qt

Функциональные схемы асинхронных RS-триггеров, построенные на элементах ИЛИ-НЕ (слева) и И-НЕ (справа), и их условные графические обозначения (УГО) показаны на рисунке 3.

Как видно из рисунка 3, асинхронный RS-триггер представляет собой бистабильную ячейку, построенную на элементах И-НЕ или ИЛИ-НЕ.

При построении RS-триггера на элементах И-НЕ действующими установочными сигналами являются инверсные значения информационных сигналов R и S.

**Синхронные RS-триггеры**

Синхронный триггер дополнительно имеет вход синхронизации C, на который поступает синхросигнал. Информационные сигналы R и S воздействуют на состояние триггера только при значении синхросигнала С=1.

Таблица переходов синхронного RS-триггера состоит из двух частей. Первая часть таблицы описывает переходы триггера при С=1 и совпадает с таблицей переходов асинхронного триггера (см. таблицу 1), а вторая – при С=0.

При С=0 триггер не меняет своего состояния при любой комбинации сигналов на информационных входах R и S. В этом случае всегда Qt+1= Qt.

Уравнение синхронного RS-триггера имеет вид:

Qt+1=S⋅C+(R +C)⋅Qt

R

**&**

**&**

**&**

**&**

R

S

Q

Q

R1

S1

Q

Q

C

S **T**

C

R

Q

Q

**& ≥1**

**&**

**& ≥1**

**&**

R1

C

S

S1

Рисунок 4

Из уравнения следует, что при С=0 Qt+1= Qt, а при С=1 т.е. работа описывается уравнением асинхронного триггера. На рисунке 6.4 приведены функциональные схемы синхронных RS-триггеров, реализованных на элементах И - НЕ для уравнения

Qt+1=S + R ⋅Qt

Qt+ 1=S**⋅**C+(R**⋅**C)⋅Qt

и на элементах И-ИЛИ-НЕ для уравнения

Qt+1=S**⋅**C+(R**⋅**C)**⋅**Qt

На рисунке 4, кроме основных входов R и S, показаны дополнительные инверсные асинхронные входы R1  и S1.

**Двухтактные RS-триггеры**

Триггеры в ЭВМ используются в различных узлах, между которыми осуществляется передача информации. Устойчивая работа цепочки триггеров возможна только в том случае, если запись новой информации в триггер осуществляется после считывания ранее записанной информации и передачи её в следующий по цепочке триггер. Это возможно при использовании двух серий синхроимпульсов, сдвинутых относительно друг друга на 180о. Такой принцип управления и синхронизации применяется в двухтактных триггерах.

Простейшая схема двухтактного RS-триггера может быть построена на двух однотактных триггерах, причём синхроимпульсы на входы С первого и второго триггеров должны подаваться в противофазе. Это делается с помощью инвертора (см. рисунок 5).

Q

S  **T**

C

R

Q

S **T**

C

R

Q

Q

**1**

S **TT**

C

R

Рисунок 5

При поступлении на вход первого однотактного триггера импульса С=1 информация на входах R и S устанавливает триггер в соответствующее новое состояние Qt+1, а второй однотактный триггер хранит информацию о предыдущем состоянии Qt, так как на его входе С сигнал равен нулю. По окончании действия синхроимпульса, т.е. при С=0, первый триггер переходит в режим хранения, а информация Qt+1, записанная в первом триггере, передается во второй, так как на его входе С сигнал становится равным единице. В результате к началу следующего такта на выходе двухтактного RS-триггера появится сигнал, определяемый состоянием Qt+1 первого триггера. В таком триггере выходной сигнал формируется по заднему фронту синхроимпульса.

Двухтактный синхронный RS-триггер может быть использован для построения других типов триггеров, таких как D-, T- и JK-триггеров.

Для установки RS-триггера в 0 или 1 независимо от присутствия сигнала на входе С в схему вводят прямые или инверсные входы R и S асинхронной установки, как показано на рисунке 6

S **T**

S

C

R

R

Рисунок 6

S **T**

S

C

R

R

S **TT**

S

C

R

R

**1**

.

**Асинхронный и синхронный D-триггеры**

В вычислительной технике широко применяется D-триггер, который реализует функцию временн***о***й задержки входного сигнала. D-триггер имеет один информационный вход. Логика работы асинхронного D -триггера описывается таблицей переходов, которая имеет вид таблицы 2.

По таблице 2 может быть записано уравнение переходов D-триггера:

**Qt+1 = Dt,**

где: t - текущий момент времени; t+1 - последующий момент времени.

### Таблица 2

|  |  |  |
| --- | --- | --- |
| Вход | Состояния | |
| D | Q(0) | Q(1) |
| 0 | 0 | 0 |
| 1 | 1 | 1 |

Как видно из уравнения, в асинхронном D-триггере состояние (выходной сигнал) **Qt+1**повторяет значение входного сигнала **Dt**. Поэтому асинхронный D-триггер по существу является не элементом памяти, а элементом задержки, и рассматривается только как основа для построения синхронного D-триггера.

Функциональная схема и УГО асинхронного D-триггера, построенного на основе асинхронного RS-триггера, показаны на рисунке 7.

S  **T**

R

Q

Q

Q

Q

**1**

**T**

D

D

Рисунок 7

Для построения счётчиков, регистров и других цифровых схем используются синхронные D-триггеры как однотактные, так и двухтактные. Логика работы синхронного D-триггера описывается таблицей переходов, которая имеет вид таблицы 3.

|  |  |  |  |
| --- | --- | --- | --- |
| Входы | | Состояния | |
| C | D | Q(0) | Q(1) |
| 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 |

### Таблица 3

Уравнение переходов синхронного триггера, записанное по таблице 6.3, имеет следующий вид:

Qt+1=C**⋅**Qt +C**⋅**D

В соответствии с уравнением синхронный D-триггер при С=0 сохраняет свое состояние, а при С=1 работает как асинхронный.

Функциональная схема синхронного D-триггера на элементах ИЛИ-НЕ приведена на рисунке 8.

**& ≥1**

**&**

**1**

**1**

D

C

**D T**

**C**

Q

Q

Q

Q

Рисунок 8

S  **TТ**

С

R

Q

Q

Q

Q

**1**

**TТ**

D

С

D

С

Рисунок 9

Функциональная схема двухтактного D-триггера, построенного на основе двухтактного RS- триггера, приведена на рисунке 9.

**Асинхронный и синхронный T-триггеры**

Т-триггер имеет один информационный вход. Логика работы асинхронного Т-триггера может быть описана таблицей переходов, которая имеет вид таблицы 4.

### Таблица 4

|  |  |  |
| --- | --- | --- |
| Вход | Состояния | |
| Т | Q(0) | Q(1) |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

По таблице 4 может быть получено следующее уравнение асинхронного Т-триггера**:**

Qt+1 = TQt + TQt

Как видно из таблицы 4 и уравнения триггера, при Т=1 асинхронный Т-триггер меняет свое состояние на противоположное, а при Т=0 состояние триггера не изменяется.

Так как Т-триггер суммирует (или подсчитывает) по модулю два количество единиц, поступающих на его информационный вход, то Т-триггер называют также триггером со счетным входом.

Логика работы синхронного Т-триггера описывается таблицей переходов, которая имеет вид таблицы 5.

|  |  |  |  |
| --- | --- | --- | --- |
| Входы | | Состояния | |
| C | Т | Q(0) | Q(1) |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Таблица 5

Из таблицы 5 видно, что при С=0 триггер не изменяет своего состояния, а при С=1 работает как асинхронный Т-триггер.

Функциональная схема Т-триггера может быть построена на основе синхронного RS-триггера (однотактного или двухтактного).

Схема асинхронного Т-триггера приведена на рисунке 10, а синхронного Т-триггера - на рисунке 11. Обе схемы построены на основе синхронного двухтактного RS-триггера. Аналогичные схемы можно строить на основе однотактного RS-триггера. В двухтактных асинхронных Т-триггерах выходной сигнал формируется по заднему фронту входного сигнала Т, а в однотактных - по переднему фронту. В двухтактных синхронных Т-триггерах выходной сигнал формируется по заднему фронту сигнала С.

Схему асинхронного Т-триггера, в свою очередь, можно получить из D-триггера простой коммутацией входов и выходов (см. рисунок 12).

S **TТ**

C

R

Q

Q

**T**

S **TТ**

C

R

Q

Q

**T**

&

&

**TТ**

**T**

**Q**

**Q**

**T TТ**

**C**

**Q**

**Q**

Рисунок 10

Рисунок 11

**D Т**

**C**

**Т**

**Т**

**Q**

**Q**

**Т**

**Q**

**Q**

Рисунок12

**JK-триггер**

JK-триггер называется также универсальным триггером. Универсальность схемы JK-триггера состоит в том, что простой коммутацией входов и выходов можно получать схемы других типов триггеров.

JK-триггер имеет два информационных входа. Вход J используется для установки триггера в состояние 1, а вход К -для установки в состояние 0, т.е. входы J и К аналогичны входам R и S RS-триггера. Отличие заключается в том, что на входы J и К могут одновременно поступать сигналы 1. В этом случае JК- триггер изменяет свое состояние на противоположное.

Таблица переходов JK-триггера при С=1 имеет вид таблицы 6.

### Таблица 6

|  |  |  |  |
| --- | --- | --- | --- |
| Входы | | Состояния | |
| J | K | Q(0) | Q(1) |
| 0 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 |

Из таблицы 6 можно получить следующее уравнение JK-триггера:

Qt+1=J Qt + K Qt

Следовательно, при J=1, K=0 всегда Qt+1=1, а при J=0, K=1 всегда Qt+1=0, т.е. JK-триггер работает как RS-триггер, если рассматривать входы J и K как входы S и R.

S  **TТ**

C

R

Q

Q

C

**&**

**&**

J

K

J  **TТ**

C

K

**Q**

**Q**

Рисунок 13

В свою очередь, при J=1, K=1 \_Qt+1=Qt, т.е. триггер переходит в противоположное состояние (работает как Т-триггер).

Функциональная схема двухтактного JK-триггера и УГО триггера показаны на рисунке 13. Примеры получения других типов триггеров на основе JK-триггера представлены на рисунок 14.

Рисунок 14

RS- триггер

J **TТ**

C

K

Q

Q

S

R

C

T- триггер

J **TТ**

C

K

Q

Q

T

C

D- триггер

J **TТ**

C

K

Q

Q

D

C

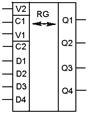
1

JK-триггер, кроме основных информационных входов и входа синхронизации, может иметь также дополнительные информационные входы, например, дополнительные инверсные асинхронные входы R и S, которые используются для установки триггера в 0 или 1 независимо от значения сигнала на входе синхронизации. Кроме того, триггер может иметь несколько входов J или K, объединенных по схеме И.

**Регистры.**

Наиболее распространенным узлом цифровой техники и устройств автоматики являются *регистры*. Регистры строятся на базе синхронных одно- и двухступенчатых RS и D-триггеров. Регистры могут быть реализованы также на базе JK-триггеров.

Регистры с *параллельным* приемом и выдачей информации служат для хранения информации и называются регистрами *памяти* или *хранения*. Запись новой информации в регистр осуществляется после установки на входах D0 ... Dm новой цифровой комбинации при поступлении синхроимпульса С. Количество разрядов записываемой цифровой информации определяется разрядностью регистра, которая, в свою очередь, определяется количеством триггеров, образующих этот регистр. Регистры памяти могут быть реализованы на D-триггерах, если информация поступает на входы регистра в виде однофазных сигналов и на RS-триггерах, если информация поступает в виде парафазных сигналов. В некоторых случаях регистры могут иметь вход для установки выходов в состояние “0”. Этот асинхронный вход называют входом R “сброса” триггеров регистра. На рис. 15 приведены схемы четырехразрядных регистров памяти на D- и RS-триггерах, синхронизируемых уровнем и фронтом синхроимпульсов (обычно четыре триггера объединены в одном корпусе ИМС). На рисунке 15 показаны регистры хранения на D-триггерах, синхронизируемых фронтом (а) и на RS-триггерах, синхронизируемых фронтом (б). На рисунке 15, в показано УГО регистра.



в

б

а

Рисунок 15

Регистры с последовательным приемом или выдачей информации называются сдвиговыми регистрами или регистрами *сдвига*. Они могут выполнять функции хранения и преобразования информации (умножение и деление чисел двоичной системы счисления, преобразование параллельного кода в последовательный и наоборот и т.д.).

На рисунке 16, а и 16,б приведены схемы четырехразрядных регистров сдвига, реализованных на D- и RS-триггерах, а временные диаграммы, поясняющие работу регистра сдвига, приведены на рисунке 17.



Рисунок 16



Рисунок 17

**Порядок выполнения работы**

**Задание 1.** Построить на элементах 2И-НЕ и 2ИЛИ-НЕ схемы асинхронных RS-

триггеров (см. рисунок 3) и исследовать логику их работы в статическом режиме. Для этого собрать схемы с использованием пробников и переключателей.

Путем моделирования работы триггеров получить таблицы переходов и сравнить их с таблицей 1. Образцы схем для моделирования приведены на рисунке 18. Исследуемые схемы и таблицы занести в отчет.

**Задание 2.** Построить на элементах 2И-НЕ и 2-2И-2ИЛИ-НЕ схемы синхронных RS- триггеров (см. рисунок 4) и исследовать логику их работы в статическом режиме. Образцы схем для моделирования приведены на рисунке 19 и 20. В качестве элементов 2-2И-2ИЛИ-НЕ использована микросхема 7455, в которой располагается элемент 4-4И-2ИЛИ-НЕ. Исследуемые схемы и таблицы занести в отчет.

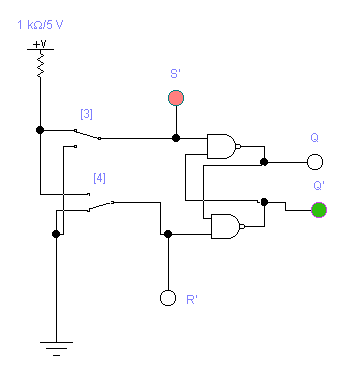
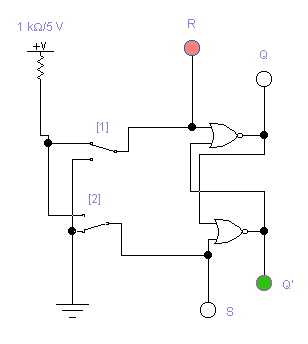


Рисунок 18

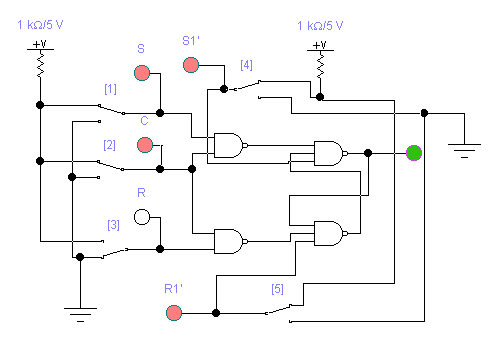


Рисунок 19

**Задание 3.** Исследовать в статическом режиме логику работы RS-триггера, который имеется в библиотеке программы. Для этого собрать схему, показанную на рисунке 21. Получить таблицу переходов триггера и сравнить ее с таблицей 1. Исследуемую схему и таблицу занести в отчет.

**Задание 4.** Исследовать в статическом режиме логику работы двухтактного RS-триггера. Для этого собрать схему, показанную на рисунке 22. Получить таблицу переходов триггера и сравнить ее с таблицей 1. Исследуемую схему и таблицу занести в отчет.

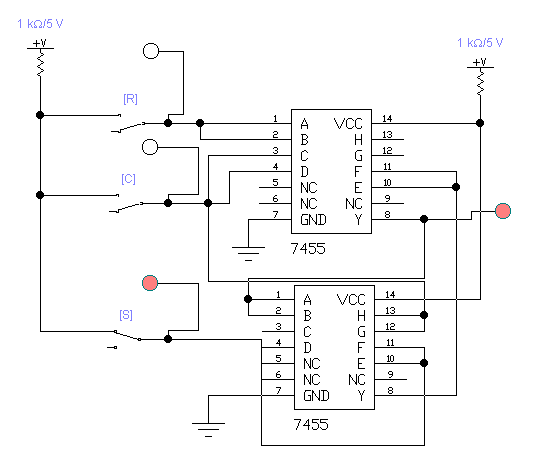


Рисунок 20

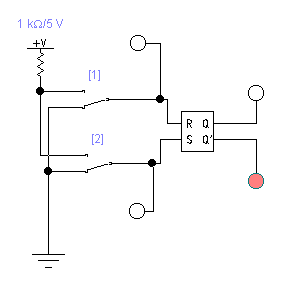


Рисунок 21

**Задание 5.** Исследовать в статическом режиме логику работы асинхронного D-триггера. Для этого собрать схему, показанную на рисунке 23. Получить таблицу переходов триггера и сравнить ее с таблицей 3. Исследуемую схему и таблицу занести в отчет.

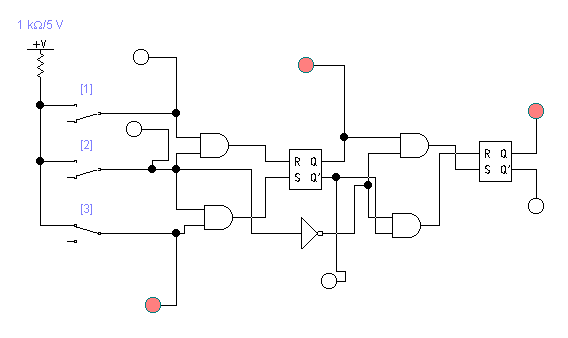


Рисунок 22

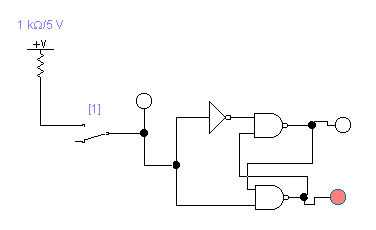


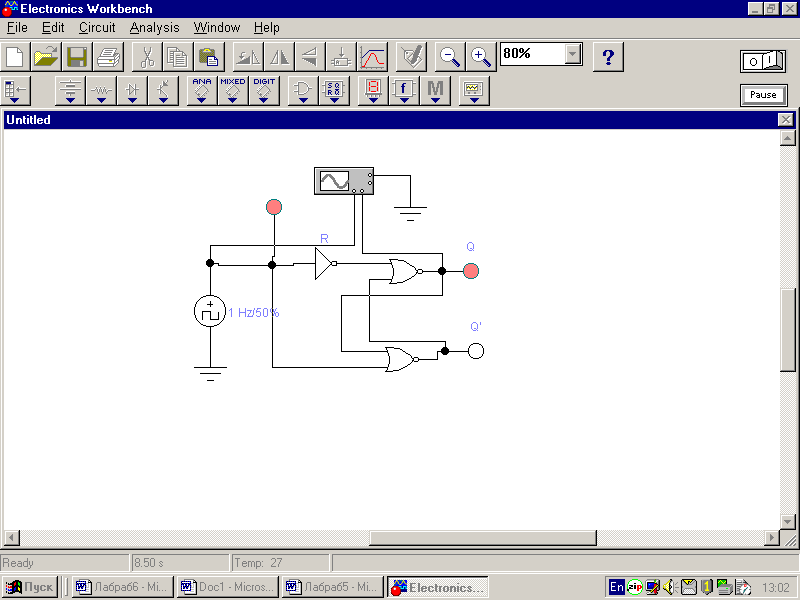
Рисунок 23

**Задание 6.** Исследовать в динамическом режиме логику работы асинхронного D-триггера. Для этого собрать схему, показанную на рисунке 24. Для визуального наблюдения работы схемы установить частоту генератора 1 Гц. Зарисовать полученную осциллограмму. Исследуемую схему и таблицу занести в отчет.

**Задание 7.** Собрать и исследовать в статическом режиме схему синхронного D- триггера на элементе 2И-2И-2ИЛИ-НЕ, в качестве которого использовать микросхему 7451 с 2-мя элементами 2И-2И-2ИЛИ-НЕ. Схема для исследования показана на рисунке 25. Результаты исследования занести в отчет.

**Задание 8.** Собрать и исследовать микросхему 7474, состоящую из 2-х синхронных D-триггеров. Схема показана на рисунке 26. Результаты исследования занести в отчет.

**Задание 9.** Собрать схему и исследовать работу асинхронного Т-триггера, построенного на базе синхронного D-триггера в статическом режиме. Соответствующая схема показана на рисунке 27. В качестве синхронного D-триггера использовать микросхему 7474 с дополнительными асинхронными входами установки и сброса (инверсные входы R и S). Результаты исследования занести в отчет.



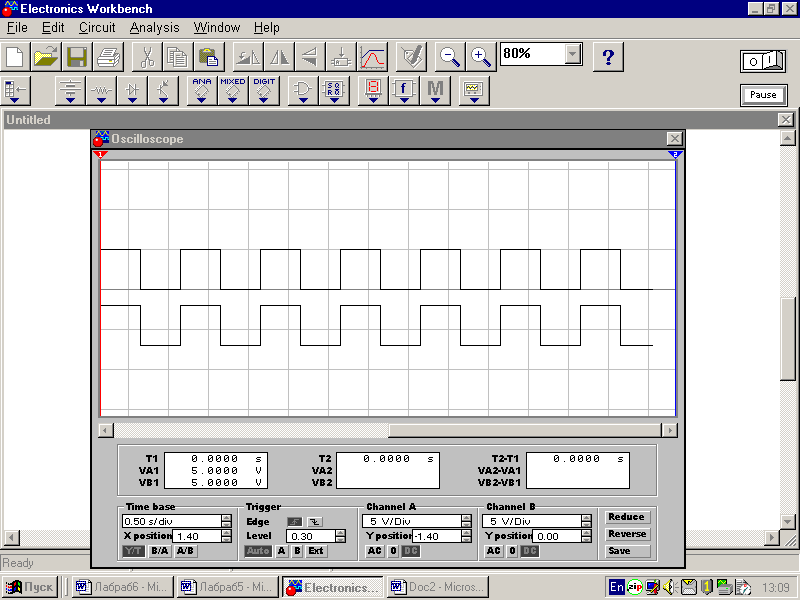


Рисунок 24

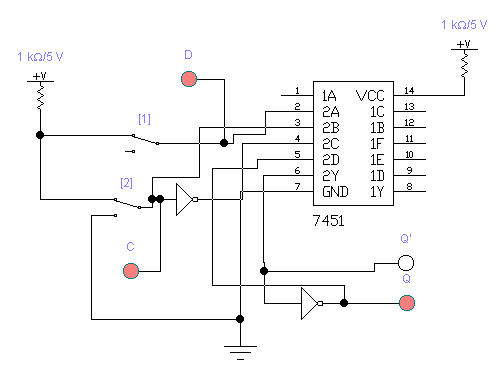


Рисунок 25

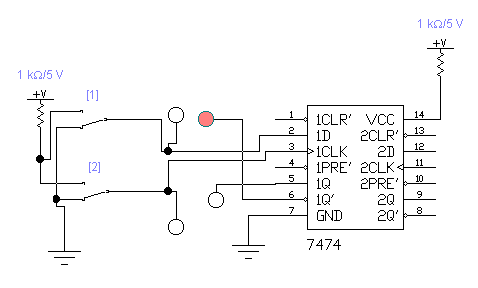


Рисунок 26

**Задание 10.** Исследовать работу синхронного JK-триггера в динамическом режиме. Для этого собрать схему, показанную на рисунке 28. При подаче на входы J и K сигналов высокого уровня, а на вход синхронизации импульсов от генератора, триггер будет работать в режиме переключения с частотой в два раза ниже, чем частота генератора. Для визуальной индикации подключить осциллограф к выходам генератора и триггера.

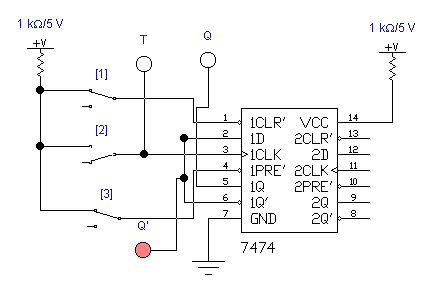
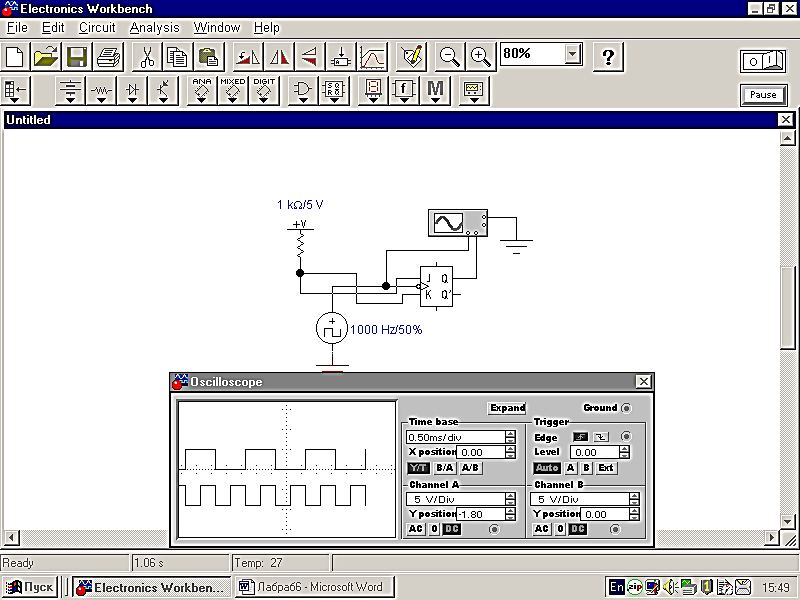


Рисунок 27

Рисунок 28



**Задание 11.** Собрать схему и исследовать работу синхронного JK-триггера в статическом режиме. Соответствующая схема показана на рисунке 29. В качестве синхронного JK-триггера использовать микросхему 74112. Результаты исследования занести в отчет.

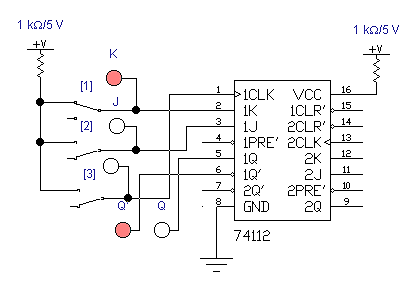


Рисунок 29

**Задание 12\*.**

**1)** Разработать и начертить схему электрическую функциональную четырехразрядного параллельного регистра на базе D-триггеров синхронизируемых фронтом для четных вариантов или на базе RS-триггеров, синхронизируемых фронтом для нечетных вариантов.

**2)**  Разработать и начертить схему электрическую функциональную четырехразрядного регистра сдвига на базе на RS-триггеров, синхронизируемых фронтом, для четных вариантов или на базе D-триггеров, синхронизируемых фронтом, для нечетных вариантов.

**3)** Смоделировать параллельный регистр, разработанный в п. 12.1, в среде Electronics Workbench. Поочередно подать на входы D0 ... D3 код, соответствующий четырем младшим разрядам двоичного числа, равного номеру вашего варианта, и код на единицу меньший с помощью соответствующих ключей. Подать синхроимпульс С с помощью генератора слов Word Generation, включив его в ручном режиме *Step*, и убедиться в правильной работе параллельного регистра по состоянию логических пробников на его выходах.

**4)** Смоделировать регистр сдвига, разработанный в п. 12.2, в среде Electronics Workbench. Для имитации работы схемы подключить ее синхровход к генератору слов Word Generation, включив его в циклическом режиме *Sycle*. Подать на входы D0 ... D3 регистра код, соответствующий четырем младшим разрядам двоичного числа, равного номеру вашего варианта плюс три. Получить временные диаграммы входных и выходных сигналов сдвигающего регистра на экране логического анализатора Logic Analizer.

**Содержание отчета**

В отчет о выполненной работе включить следующие материалы:

1. тему и цель работы;

2. результаты выполнения заданий: исследуемые схемы, полученные таблицы переходов, временные диаграммы;

3. анализ полученных результатов;

4. выводы по работе.

**Контрольные вопросы:**

**1.** Из каких логических элементов можно построить схему триггера?

**2.**  Чем отличаются синхронные триггеры от асинхронных триггеров?

**3.** Можно ли построить схему D-триггера на основе RS- триггера?

**4**. Как построить схему Т-триггера, если использовать схему RS- триггера и логические элементы?

**5.** В каких случаях таблица переходов JK-триггера совпадает с таблицей переходов RS-триггера, в каких случаях отличается?

**6.** Почему JK-триггер называется универсальным триггером?

**7.** Почему Т-триггер называется триггером со счетным входом?

**8.** На какое время может быть задержана установка синхронного D-триггера по отношению к сигналу на его входе?

**9.** На какое время может быть задержана установка в 1 асинхронного D-триггера по отношению к сигналу на его входе?

**10.** Чем отличается двухтактный триггер от однотактного триггера?

**11.** Каково назначение регистров?

**12.** По каким признакам классифицируют регистры?

**13.** Чем определяется разрядность регистров?

**14.** Как работает параллельный регистр?

**15.** Каким образом осуществить операции умножения и деления в двоичной системе счисления в реверсивном регистре?

**16.** Как произвести с помощью регистра преобразование последовательного кода числа в параллельный код и обратно?

**17.** Как обозначаются регистры на схемах электрических функциональных и принципиальных?